

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 2 4 日

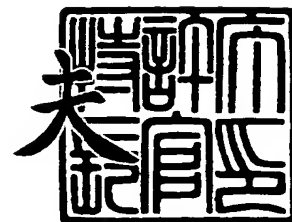
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 8 0 0 0 7
[ST. 10/C]: [J P 2 0 0 3 - 0 8 0 0 0 7]

出 願 人
Applicant(s): 株式会社半導体先端テクノロジーズ

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 02PN006A

【提出日】 平成15年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 川原 孝昭

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 鳥居 和功

【特許出願人】

【識別番号】 597114926

【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0214704

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に第 1 の酸化膜層を形成する工程と、
前記第 1 の酸化膜層上に第 2 の酸化膜層を形成する工程と、
前記第 2 の酸化膜層上にゲート電極を形成する工程とを備え、
前記第 2 の酸化膜層を形成する工程は、成膜原料を供給して前記第 1 の酸化膜層上に吸着させる第 1 工程と、吸着しなかった前記成膜原料をパージする第 2 工程と、酸化剤を供給して吸着している前記成膜原料を酸化する第 3 工程と、酸化に寄与しなかった前記酸化剤をパージする第 4 工程を有し、
前記第 2 の酸化膜層を形成する工程を複数サイクル連続して繰り返し、
最初の所定数サイクルの前記第 2 工程におけるパージ時間をそれより後のサイクルの前記第 2 工程におけるパージ時間よりも長くすることを特徴とする半導体装置の製造方法。

【請求項 2】 基板上に第 1 の酸化膜層を形成する工程と、
前記第 1 の酸化膜層上に第 2 の酸化膜層を形成する工程と、
前記第 2 の酸化膜層上にゲート電極を形成する工程とを備え、
前記第 2 の酸化膜層を形成する工程は、成膜原料を供給して前記第 1 の酸化膜層上に吸着させる第 1 工程と、吸着しなかった前記成膜原料をパージする第 2 工程と、酸化剤を供給して吸着している前記成膜原料を酸化する第 3 工程と、酸化に寄与しなかった前記酸化剤をパージする第 4 工程を有し、
前記第 2 の酸化膜層を形成する工程を複数サイクル連続して繰り返し、
最初の所定数サイクルの前記第 4 工程におけるパージ時間をそれより後のサイクルの前記第 4 工程におけるパージ時間よりも長くすることを特徴とする半導体装置の製造方法。

【請求項 3】 基板上に第 1 の酸化膜層を形成する工程と、
前記第 1 の酸化膜層上に第 2 の酸化膜層を形成する工程と、
前記第 2 の酸化膜層上にゲート電極を形成する工程とを備え、
前記第 2 の酸化膜層を形成する工程は、成膜原料を供給して前記第 1 の酸化膜

層上に吸着させる第1工程と、吸着しなかった前記成膜原料をパージする第2工程と、酸化剤を供給して吸着している前記成膜原料を酸化する第3工程と、酸化に寄与しなかった前記酸化剤をパージする第4工程を有し、

前記第2の酸化膜層を形成する工程を複数サイクル連続して繰り返し、

最初の所定数サイクルの前記第2工程におけるパージ時間をそれより後のサイクルの前記第2工程におけるパージ時間よりも長くし、

前記最初の所定数サイクルの前記第4工程におけるパージ時間をそれより後のサイクルの前記第4工程におけるパージ時間よりも長くすることを特徴とする半導体装置の製造方法。

【請求項4】 基板上に第1の酸化膜層を形成する工程と、

前記第1の酸化膜層上に第2の酸化膜層を形成する工程と、

前記第2の酸化膜層上にゲート電極を形成する工程とを備え、

前記第2の酸化膜層を形成する工程は、成膜原料を供給して前記第1の酸化膜層上に吸着させる第1工程と、吸着しなかった前記成膜原料をパージする第2工程と、酸化剤を供給して吸着している前記成膜原料を酸化する第3工程と、酸化に寄与しなかった前記酸化剤をパージする第4工程を有し、

前記第2の酸化膜層を形成する工程を複数サイクル連続して繰り返し、

最初の所定数サイクルの前記第3工程における前記酸化剤の供給量をそれより後のサイクルの前記第3工程における前記酸化剤の供給量よりも多くすることを特徴とする半導体装置の製造方法。

【請求項5】 基板上に第1の酸化膜層を形成する工程と、

前記第1の酸化膜層上に第2の酸化膜層を形成する工程と、

前記第2の酸化膜層上にゲート電極を形成する工程とを備え、

前記第2の酸化膜層を形成する工程は、成膜原料を供給して前記第1の酸化膜層上に吸着させる第1工程と、吸着しなかった前記成膜原料をパージする第2工程と、酸化剤を供給して吸着している前記成膜原料を酸化する第3工程と、酸化に寄与しなかった前記酸化剤をパージする第4工程を有し、

前記第2の酸化膜層を形成する工程を複数サイクル連続して繰り返し、

前記第3の工程において、前記酸化剤の供給を複数回に分けて行い、

最初の所定数サイクルの前記第3工程における前記酸化剤の供給回数をそれより後のサイクルの前記第3工程における前記酸化剤の供給回数よりも多くすることとを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、基板上に配置された酸化膜層及びゲート電極を含む半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

一般に半導体装置において、ゲート電極と、Si基板との間には、ゲート酸化膜層が形成され、トンネルリーク電流を防いでいる。このゲート酸化膜層は、一般には、SiO₂により形成される。

【0003】

このゲート酸化膜層について、将来のCMOS (Complementary Metal-Oxide Semiconductor) スケーリングにおいて予想される大きな課題がある。即ち、半導体チップの寸法が小さくなるにつれて、チャネル領域の面積も減少する。従って、キャパシタンスを維持するためには、SiO₂膜の寸法も薄くする必要がある。しかし、SiO₂ゲート酸化膜層の膜厚が、2nm以下となると、トンネルリーク電流を発生してしまう。このトンネルリーク電流は、3pAならば高性能素子であれば許容できるが、1nAでオフ電流と同程度になってしまい、50μAでは許容できる値を超えてしまう。

【0004】

一方、ITRS (International Technology Roadmap for Semiconductor) 2001によると、2006年(70nm世代)には、等価酸化膜層厚EOT (Equivalent Oxide Thickness) は、1.5nm以下であることが要求される。

【0005】

従って、この世代以降になると、トンネルリーク電流が許容値を超えるため、SiO₂膜をゲート酸化膜層として用いることができない。これに対し、絶縁体

の静電容量は誘電率に比例することから、ゲート酸化膜層として金属酸化膜層（High-k材料）を用いて、ゲート酸化膜層の物理的な膜厚を厚くすれば、トンネルリーク電流を抑えることができる。

【0006】

ただし、HF cleanを行うことにより、表面の自然酸化膜層を除去したSi基板上に、直接に金属酸化膜層を形成した場合は、その形成後に大気中に放置しておく、Si基板と金属酸化膜層の境界にSiO₂膜が成長し、その界面の欠陥密度が多くなって移動度が低下する。このため、まずSi基板上にSiO₂膜を形成し、このSiO₂膜の上に金属酸化膜層を重ねてゲート酸化膜層とすることが考えられている。

【0007】

【発明が解決しようとする課題】

しかし、SiO₂膜の上に金属酸化膜層を形成した場合、SiO₂膜と金属酸化膜層との界面付近または金属酸化膜層の表面に、不純物が多く存在するという問題がある。この不純物は、リーク電流を引き起こし、移動度の劣化をもたらす。

【0008】

この発明は、上述のような課題を解決するためになされたもので、その目的は、ゲート酸化膜の不純物量を低減し、リーク電流を減少させ、移動度の劣化を防ぐことができる半導体装置の製造方法を提供するものである。

【0009】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、基板上に第1の酸化膜層を形成する工程と、第1の酸化膜層上に第2の酸化膜層を形成する工程と、第2の酸化膜層上にゲート電極を形成する工程とを備え、第2の酸化膜層を形成する工程は、成膜原料を供給して第1の酸化膜層上に吸着させる第1工程と、吸着しなかった成膜原料をパージする第2工程と、酸化剤を供給して吸着している成膜原料を酸化する第3工程と、酸化に寄与しなかった酸化剤をパージする第4工程を有し、第2の酸化膜層を形成する工程を複数サイクル連続して繰り返し、最初の所定数サ

イクルの第2工程におけるパージ時間をそれより後のサイクルの第2工程におけるパージ時間よりも長くする。この発明のその他の特徴は以下に明らかにする。

【0010】

【発明の実施の形態】

実施の形態1.

図1は、本発明の半導体装置の製造方法により製造される半導体装置100を説明するための断面模式図である。図1に示すように半導体装置100は、Si基板2上にゲート酸化膜層4が形成され、このゲート酸化膜層4上にゲート電極6が形成され、ゲート酸化膜層4及びゲート電極6の側面にサイドウォール8が形成されている。

【0011】

Si基板2のゲート酸化膜層4の両側には、ソース領域10及びドレイン領域12が形成されている。また、ソース、ドレイン領域10、12の内側には、エクステンション(Extension)14が形成されている。

【0012】

ゲート酸化膜層4は、第1の酸化膜層16及び第2の酸化膜層18を有している。この第1の酸化膜層16は、Si基板2の上に形成されたSiO₂膜である。

【0013】

また、第2の酸化膜層18は第1の酸化膜層16の上に形成されている。

【0014】

例えば、EOT0.7nmの第1の酸化膜層16(物理膜厚0.7nm)とEOT0.8nmの第2の酸化膜層18とから構成されるゲート酸化膜層4(誘電率20とすると物理膜厚4.1nm)は、EOTが1.5nmであり、EOT≤1.5nmを満足する。また、第1の酸化膜層16及び第2の酸化膜層18で物理的な膜厚を十分に確保できるため、トンネルリーク電流が抑えられる。

【0015】

図2は、この発明の半導体装置100の製造方法を説明するためのフロー図である。以下、図2を用いて、半導体装置100の製造方法について説明する。

【0016】

まず、Si基板2のHF cleanを行って、Si基板2の表面の自然酸化膜層を予め除去する。そして、このSi基板2上に第1の酸化膜層16を形成する(ステップS1)。ここでは、 H_2 と、 N_2O を用いて、 SiO_2 からなるISSG (In-situ Steam Generation) 膜を形成する。

【0017】

次に、ALD (Atomic Layer Deposition; 原子層堆積) 法を用いて、第2の酸化膜層18を形成する。具体的には、成膜原料であるTMA (trimethylaluminum: $Al(CH_3)_3$) を供給し、この成膜原料の一部を第1の酸化膜層16の表面(2サイクル目以降なら成膜中の第2の酸化膜層18の表面)に吸着させて、 Al_2O_3 の単原子層を形成する(ステップS2)。次に、第1の酸化膜層16(もしくは成膜中の第2の酸化膜層18)に吸着しなかったTMAをパージする(ステップS3)。そして、酸化剤である水蒸気(H_2O)を供給して、Si基板2の表面を水蒸気に曝し、第1の酸化膜層16上に吸着しているTMAを酸化する(ステップS4)。そして、酸化に寄与しなかった H_2O をパージする(ステップS5)。このステップS2～S5までの工程を連続して複数サイクル繰り返すことで、所望の膜厚の第2の酸化膜層18を形成する。

【0018】

最後に、ゲート電極6等の形成とアニールが行われる(ステップS6)。具体的には、ゲート電極6を形成し、その後Si基板2にp型不純物あるいはn型不純物を注入してエクステンション領域14を形成する。そして、ゲート酸化膜層4及びゲート電極6の側壁に、サイドウォール8を形成する。そして、サイドウォール8及びゲート電極6をマスクとして、p型不純物あるいはn型不純物を注入し、ソース領域10、ドレイン領域12を形成する。その後、1000℃程度でアニールを行う。このアニールより、ソース、ドレイン領域10、12を活性化することができる。

【0019】

ここで、吸着しなかった成膜原料が残ったまま、酸化剤を供給すると、酸化剤と反応しきれない成膜原料が不純物として混入してしまう。これに対し、本実施

の形態1では、最初の所定数サイクルの成膜原料のパージ時間をそれより後のサイクルの成膜原料のパージ時間よりも長くする。これにより、ゲート酸化膜中の不純物量を低減することができる。

【0020】

また、第2の酸化膜層の成膜に寄与しなかった酸化剤がチャンバ中に残ったまま、成膜原料を供給すると、第2の酸化膜層へ吸着する前に酸化剤と反応した不完全な成膜原料が不純物として混入してしまう。これに対し、本実施の形態1では、最初の所定数サイクルの酸化剤のパージ時間をそれより後のサイクルの酸化剤のパージ時間よりも長くする。これにより、ゲート酸化膜中の不純物量を低減することができる。これにより、更にゲート酸化膜中の不純物量を低減することができる。

【0021】

次に、具体的な数値を挙げて、従来のものと本実施の形態1の半導体装置の製造方法との効果を比較する。従来は、例えば、第1の酸化膜層上に、ALD法により成膜原料 HfCl_4 のパージ時間2sec、酸化剤 H_2O のパージ時間7.5secで第2の酸化膜層を形成した場合は、第1の酸化膜層と第2の酸化膜層の界面付近に、 $\sim 5 \times 10^{20} \text{ atoms/cm}^3$ の水素、 $\sim 2 \times 10^{21} \text{ atoms/cm}^3$ の塩素が不純物として含まれていた。これに対し、実施の形態1では、例えば、第2の酸化膜層18の形成工程において、最初の10サイクルの成膜原料 HfCl_4 のパージ時間30sec、酸化剤 H_2O のパージ時間90sec、それ以降の成膜原料 HfCl_4 のパージ時間2sec、酸化剤 H_2O のパージ時間7.5secとした場合は、第1の酸化膜層と第2の酸化膜層の界面付近で、 $\sim 2 \times 10^{20} \text{ atoms/cm}^3$ の水素、 $\sim 9 \times 10^{20} \text{ atoms/cm}^3$ の塩素が不純物として含まれている。よって、実施の形態1の半導体装置の製造方法ならば、従来のものに比べてゲート酸化膜中の不純物量を減少することができる。

【0022】

なお、第1の酸化膜層16は、 EOT 0.7~1.0nmとすることができる。そこで、第2の酸化膜層18の EOT は、0.5~0.8nmであることが好適である。よって、金属酸化物の比誘電率は約10~16以上が必要となる。ま

た、pMOSとnMOSの両方に使用できるように、伝導体帯側と価電子帯側の両方のバリアハイトが同様に大きいことが求められる。そこで、金属酸化物としては、 MgO 、 Sc_2O_3 、 Y_2O_3 、 La_2O_3 、 Pr_2O_3 、 Nd_2O_3 、 Sm_2O_3 、 EuO 、 Gd_2O_3 、 Tb_2O_3 、 Dy_2O_3 、 Ho_2O_3 、 Er_2O_3 、 Tm_2O_3 、 Lu_2O_3 、 ZrO_2 、 HfO_2 、 Al_2O_3 あるいはこれら材料の混晶が用いられる。

【0023】

また、第1の酸化膜層16として、ISSG膜を用いたのは、膜密度が高いためである。そして、第1の酸化膜層16は、上記のものに限らず、 H_2 と O_2 とを用いて形成したISSG膜や、あるいは、wet酸化による、Chemical Oxide膜や、ランプアニール処理によるRTO (rapid thermal oxide) 膜などを用いてもよい。

【0024】

さらに、実施の形態1においては、第2の酸化膜層18を形成する際、ALD法を用いた。これは、ALD法によれば、化学吸着の利点を生かすことで、厚さ及び組成が極めて均質な膜を成長させることができるためである。しかし、この発明はこれに限るものではなく、CVD (Chemical Vapor Deposition) 法や、スパッタリング法などを用いてもよい。

【0025】

また、実施の形態1においては、第2の酸化膜層18を形成する際、成膜原料としてTMAを供給して Al_2O_3 膜を形成した。しかし、これに限らず、成膜原料としてtris(1-methoxy-2-methyl-2-propoxy) aluminum [$Al(MMP)_3$: $Al(OC(CH_3)_2CH_2OCH_3)_3$]を用いてもよい。

或いは、第2の酸化膜層18として、 HfO_2 膜を形成してもよい。この場合の成膜原料は、

hafnium tetrachloride [HfO_4]、

tetrakis (1-methoxy-2-methyl-2-propoxy) hafnium [$Hf(MMP)_4$: $Hf(OC(CH_3)_2CH_2OCH_3)_4$]、

tetra tert-butoxy hafnium [$Hf(O-t-Bu)_4$: $Hf(OC(CH_3)_3)_4$]、

tetrakis-dimethylamino-hafnium [TDMAHf: $\text{Hf}(\text{N}(\text{CH}_3)_2)_4$],
tetrakis-diethylamino-hafnium [TDEAHf: $\text{Hf}(\text{N}(\text{C}_2\text{H}_5)_2)_4$],
tetrakis-methylethylamino-hafnium [TEMAHf: $\text{Hf}(\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5))_4$],
hafnium nitrate [$\text{Hf}(\text{NO}_3)_4$],
tetrakis-dipivaloylmethanato-hafnium [$\text{Hf}(\text{DPM})_4$: $\text{Hf}(\text{C}_{11}\text{H}_{19}\text{O}_2)_4$]
のいずれを用いてもよい。

さらに、第2の酸化膜層18として、 ZrO_2 膜を形成してもよい。この場合の成膜原料は、

zirconium tetrachloride [ZrCl_4],
tetrakis(1-methoxy-2-methyl-2-propoxy)zirconium [$\text{Zr}(\text{MMP})_4$: $\text{Zr}(\text{OC}(\text{CH}_3)_2\text{CH}_2\text{OCH}_3)_4$],
tetra tert-butoxy zirconium [$\text{Zr}(\text{O}-t\text{-Bu})_4$: $\text{Zr}(\text{OC}(\text{CH}_3)_3)_4$],
tetrakis-dimethylamino-zirconium [TDMAZ: $\text{Zr}(\text{N}(\text{CH}_3)_2)_4$],
tetrakis-diethylamino-zirconium [TDEAZ: $\text{Zr}(\text{N}(\text{C}_2\text{H}_5)_2)_4$],
tetrakis-methylethylamino-zirconium [TEMAZ: $\text{Zr}(\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5))_4$],
zirconium nitrate [$\text{Zr}(\text{NO}_3)_4$],
tetrakis-dipivaloylmethanato-zirconium [$\text{Zr}(\text{DPM})_4$: $\text{Zr}(\text{C}_{11}\text{H}_{19}\text{O}_2)_4$]
のいずれを用いてもよい。

【0026】

また、TMAと塩化ハフニウムを交互に供給して、 Al_2O_3 膜と HfO_2 膜の混晶膜を形成してもよい。この場合、二つの成膜原料の供給のサイクル数及び各々のサイクル数比を変化させることにより、膜厚及び混合比を制御することができる。

【0027】

さらに、実施の形態1においては、酸化剤として水蒸気(H_2O)を用いた。しかし、これに限らず、 O_2 、 O_3 、プラズマあるいはレーザにより励起された活性酸素でもよい。

【0028】

実施の形態2.

この実施の形態 2 では、第 2 の酸化膜層 18 の形成工程において、最初の所定数サイクルのステップ S 4 における酸化剤の供給量をそれより後のサイクルのステップ S 4 における酸化剤の供給量より多くする。これにより、第 1 の酸化膜層 16（もしくは成膜中の第 2 の酸化膜層 18）に付着した成膜原料を確実に酸化させ、酸化剤と反応しきれない成膜原料が不純物として混入してしまうのを防ぐので、ゲート酸化膜中の不純物量を低減することができる。

【0029】

実施の形態 3.

この実施の形態 3 では、第 2 の酸化膜層 18 の形成工程において、ステップ S 4 における酸化剤の供給を複数回に分けて行い、最初の所定数サイクルのステップ S 4 における酸化剤の供給量をそれより後のサイクルのステップ S 4 における酸化剤の供給量より多くする。これにより、第 1 の酸化膜層 16（もしくは成膜中の第 2 の酸化膜層 18）に付着した成膜原料を確実に酸化させ、酸化剤と反応しきれない成膜原料が不純物として混入してしまうのを防ぐので、ゲート酸化膜中の不純物量を低減することができる。

【0030】

【発明の効果】

この発明は以上説明したように、ゲート酸化膜の不純物量を低減し、リーク電流を減少させ、移動度の劣化を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の半導体装置の製造方法で製造される半導体装置を説明するための断面模式図である。

【図 2】 本発明の半導体装置の製造方法を説明するためのフロー図である。

【符号の説明】

- 100 半導体装置
- 2 Si 基板
- 4 ゲート酸化膜層
- 6 ゲート電極

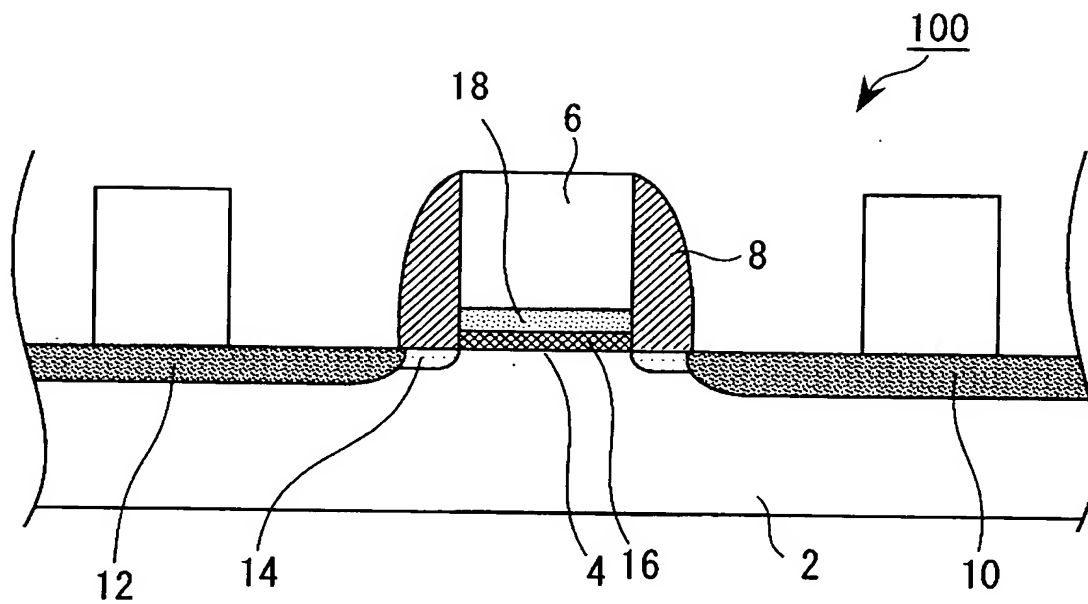
1 6 第 1 の酸化膜層

1 8 第 2 の酸化膜層

【書類名】

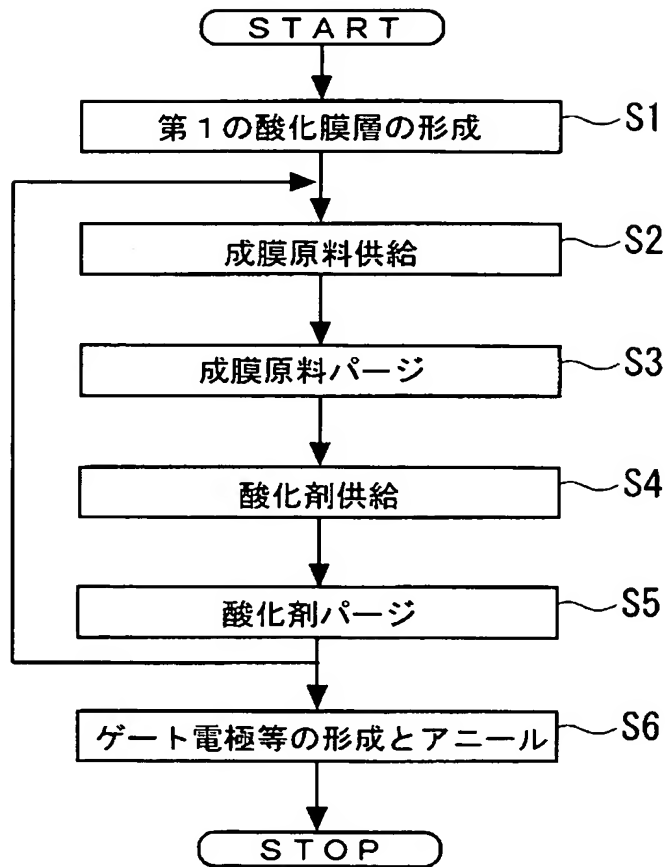
図面

【図 1】



2: Si基板
4: ゲート酸化膜層
6: ゲート電極
16: 第1の酸化膜層
18: 第2の酸化膜層

【図 2】



【書類名】 要約書

【要約】

【課題】 ゲート酸化膜の不純物量を低減し、リーク電流を減少させ、移動度の劣化を防ぐ。

【解決手段】 基板上に第1の酸化膜層を形成する工程と、第1の酸化膜層上に第2の酸化膜層を形成する工程と、第2の酸化膜層上にゲート電極を形成する工程とを備え、第2の酸化膜層を形成する工程は、成膜原料を供給して第1の酸化膜層上に吸着させる第1工程と、吸着しなかった成膜原料をパージする第2工程と、酸化剤を供給して吸着している成膜原料を酸化する第3工程と、酸化に寄与しなかった酸化剤をパージする第4工程を有し、第2の酸化膜層を形成する工程を複数サイクル連続して繰り返し、最初の所定数サイクルの第2工程におけるパージ時間をそれより後のサイクルの第2工程におけるパージ時間よりも長くする。

【選択図】 図1

特願 2 0 0 3 - 0 8 0 0 0 7

出 願 人 履 歴 情 報

識別番号

[5 9 7 1 1 4 9 2 6]

1 . 変更年月日

1 9 9 7 年 8 月 1 2 日

[変更理由]

新規登録

住 所

神奈川県横浜市戸塚区吉田町 2 9 2 番地

氏 名

株式会社半導体先端テクノロジーズ

2 . 変更年月日

2 0 0 2 年 4 月 1 0 日

[変更理由]

住所変更

住 所

茨城県つくば市小野川 1 6 番地 1

氏 名

株式会社半導体先端テクノロジーズ